

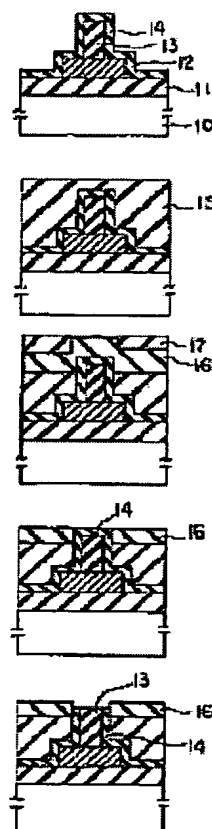
**MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE**

**Patent number:** JP8204008  
**Publication date:** 1996-08-09  
**Inventor:** SUNADA TAKESHI  
**Applicant:** TOKYO SHIBAURA ELECTRIC CO  
**Classification:**  
- **international:** H01L21/768; H01L21/205; H01L21/3065; H01L21/316;  
H01L21/318  
- **europaen:**  
**Application number:** JP19950012412 19950130  
**Priority number(s):** JP19950012412 19950130

Report a data error here

**Abstract of JP8204008**

**PURPOSE:** To prevent reduction of reliability and occurrence of faults in conduction between upper and lower wirings by forming the second insulating film, having self-flattening capacity, on the first plasma CVD insulating film so that the first plasma CVD insulating film remains when a pillar is removed. **CONSTITUTION:** After the first wiring material 12 and a pillar 13 are formed in accumulation, in sequence, on a semiconductor substrate 10, the first plasma CVD insulating film 14 and the second insulating film 15 which has self-flattening capacity are formed in sequence over the entire surface. And, the second insulating film 15 is, across the entire surface, etched back to the position lower than the top surface of the pillar 13. On the entire surface, the second plasma CVD insulating film 16 is formed, and after applying a resist 17, the resist 17 and the second plasma CVD insulating film 16 are, with the same etching rate, etched back till the first plasma CVD insulating film 14 on the top surface of the pillar 13 is exposed. After the top surface of the exposed first plasma CVD insulating film 14 is etched till a part of the pillar 13 is exposed, the exposed pillar 13 is removed.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-204008

(43)公開日 平成8年(1996)8月9日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/768

21/205

21/3065

H 0 1 L 21/ 90

B

21/ 302

L

審査請求 未請求 請求項の数 3 O L (全 6 頁) 最終頁に続く

(21)出願番号 特願平7-12412

(22)出願日 平成7年(1995)1月30日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 砂田 武

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

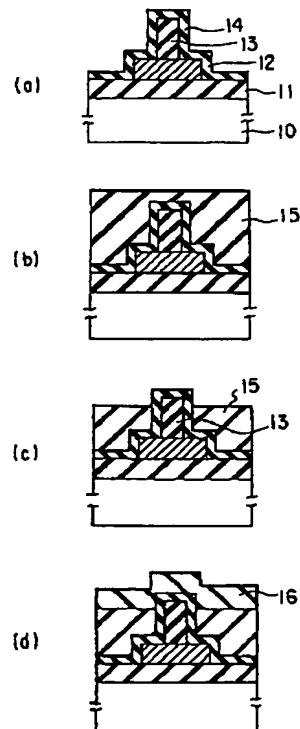
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】自己平坦化能力を有する絶縁膜を用いた層間絶縁膜にビアホールを形成する際、上下配線間の導通の信頼性の低下や不良の発生を防止する。

【構成】半導体基板10上の下層配線12の一部上にビラー13を形成した後、全面に第1のプラズマCVD絶縁膜14および自己平坦化能力を有する第2の絶縁膜15を順次形成し、第2の絶縁膜をビラーの上面より低い位置まで全面エッチバックする工程と、全面に第2のプラズマCVD絶縁膜16を形成し、レジスト17を塗布した後、ビラー上の第1のプラズマCVD絶縁膜の上面が露出するまでレジストと第2のプラズマCVD絶縁膜を同じエッチングレートでエッチバックする工程と、露出した第1のプラズマCVD絶縁膜の上面をビラーの一部が露出するまでエッチングした後、露出したビラーを除去する工程とを具備することを特徴とする。



## 【特許請求の範囲】

【請求項1】 半導体基板上の第1の絶縁膜上に第1層目の配線材料およびピラーを順次堆積形成する工程と、第1層目の配線材料のビアコンタクト予定領域上に上記ピラーを残すと共に第1層目の配線パターンを残すように上記ピラーおよび第1層目の配線材料を選択的にエッチングする工程と、この後、プラズマCVD法により基板上全面に第1のプラズマCVD絶縁膜を形成する工程と、上記第1のプラズマCVD絶縁膜上に自己平坦化能力を有する第2の絶縁膜を形成する工程と、上記第2の絶縁膜を前記ピラーの上面より低い位置まで全面エッチバックする工程と、この後、プラズマCVD法により基板上全面に第2のプラズマCVD絶縁膜を形成する工程と、上記第2のプラズマCVD絶縁膜上にエッチバック用のレジストを塗布する工程と、前記ピラーの上面上の第1のプラズマCVD絶縁膜が露出するまで上記レジストと前記第2のプラズマCVD絶縁膜を同じエッチングレートでエッチバックする工程と、上記工程により露出した第1のプラズマCVD絶縁膜の上面を前記ピラーの一部が露出するまでエッチングする工程と、上記工程により露出したピラーを除去する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項2】 前記第1のプラズマCVD絶縁膜を形成する工程は、プラズマSiN膜を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記自己平坦化能力を有する第2の絶縁膜を形成する工程は、前記第1のプラズマCVD絶縁膜を形成後の半導体基板を収容したチャンバー内にSiH<sub>4</sub>ガスおよびH<sub>2</sub>O<sub>2</sub>を導入し、665Pa以下の真空中、-10℃以上+10℃以下の温度範囲内で上記SiH<sub>4</sub>ガスおよびH<sub>2</sub>O<sub>2</sub>を互いに反応させることによりリフローSiO<sub>2</sub>膜を形成することを特徴とする請求項1記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に係り、特に多層配線構造を有する半導体装置の層間絶縁膜にビアホールを形成する方法に関する。

## 【0002】

【従来の技術】 半導体装置の集積度が增大するにつれて、基板上に配線材料を多層にわたって形成する、いわゆる多層配線化が進んでおり、このような多層配線構造を有する半導体装置の製造工程が複雑化、長工程化してきている。

【0003】 特に、多層配線の形成工程が半導体装置の製造価格に占める割合は大きく、半導体装置のコストダウンを図る上で多層配線工程の低減化の要求が高まってきている。

【0004】 ここで、従来の多層配線の形成工程について説明する。まず、下層配線用の第1の配線材料を堆積

後、下層配線のパターニングを行い、この下層配線の上に第1の絶縁膜を形成すると共に下層配線相互間に絶縁膜を埋め込む。この時点では、前記下層配線のパターンなどに依存して第1の絶縁膜の表面に段差が存在し、このままでは、この後の上層配線用の第2の配線材料の堆積時および上層配線のパターニング時に悪影響を及ぼし、上層配線の段切れによる断線、短絡などの重大な欠陥をもたらすおそれがある。

【0005】 そこで、通常は、前記第1の絶縁膜上に第2の配線材料を堆積する前に、その下地である第1の絶縁膜の表面をレジストエッチバックにより平坦化して段差を緩和した後、その上に第2の絶縁膜を形成している。

【0006】 上記したような第1の絶縁膜と第2の絶縁膜とが積層された従来の層間絶縁膜の形成工程は、1回目の成膜→平坦化→2回目の成膜と工程数が多く、前記したような多層配線工程の低減化の要求に対する大きな障害となっている。

【0007】 また、上記したような第1の絶縁膜の表面を平坦化する方法の代わりに、第1の絶縁膜上に絶縁材料であるスピン・オン・ガラス (Spin on Glass ; SOG) 膜を形成することにより、上層配線材料の下地の段差を緩和する方法も知られている。

【0008】 ところで、最近、前記したような多層配線工程の低減化の要求に応える層間絶縁膜表面の平坦化技術の1つとして、APL (Advanced Planarisation Layer) プロセスが報告 (文献 ; Matsuura et.al., IEEE Tech.Dig., ppl17, 1994) されている。

【0009】 このAPLプロセスは、層間絶縁膜の形成に際して、SiH<sub>4</sub>ガスと酸化剤であるH<sub>2</sub>O<sub>2</sub> (過酸化水素水) とを低温 (例えば0℃程度) ・真空中で反応させることにより、下層配線の上に自己流動型 (リフロー) のSiO<sub>2</sub>膜 (以下、リフローSiO<sub>2</sub>膜という) を形成するものである。

【0010】 この方法は、下層配線の配線相互間の絶縁膜の埋め込みと絶縁膜表面の平坦化を同時に達成でき、1回の成膜で平坦化までの工程を終了するので、多層配線工程の低減化を実現できる。

【0011】 なお、上記リフローSiO<sub>2</sub>膜を形成する前に、下層配線の上に第1層間絶縁膜 (ベース絶縁膜) として通常のプラズマCVD法により第1のプラズマSiO<sub>2</sub>膜を形成し、上記リフローSiO<sub>2</sub>膜を形成した後、リフローSiO<sub>2</sub>膜上に第2層間絶縁膜 (キャップ絶縁膜) として通常のプラズマCVD法により第2のプラズマSiO<sub>2</sub>膜を形成した後、ファーンズ・アニールを行う。

【0012】 図3は、APLプロセスを用いた層間絶縁膜にアスペクト比が小さいビアホールを形成する工程の従来例を示している。図3において、30は半導体基板、31は下地絶縁膜、32は下層配線、33は下層配

3

線32を含む基板上を覆うように形成された第1のプラズマSiO<sub>2</sub>膜(ベース絶縁膜)、34は第1のプラズマSiO<sub>2</sub>膜33上に形成されたリフローSiO<sub>2</sub>膜、35はリフローSiO<sub>2</sub>膜34上に形成された第2のプラズマSiO<sub>2</sub>膜(キャップ絶縁膜)である。

【0013】層間絶縁膜にビアホールを形成する際、第2のプラズマSiO<sub>2</sub>膜35およびリフローSiO<sub>2</sub>膜34にビアホール36を開口形成した後、プラズマCVD法により水分のブロッキング能力の高いプラズマSiN膜37を全面に形成する。この後、ビアホールの側壁部にプラズマSiN膜を残してプラズマSiN膜の不要部分を除去するように全面エッチバックを行うことにより、サイドウォール絶縁膜を形成する。

【0014】ところで、APLプロセスを用いた層間絶縁膜に図4に示すようにアスペクト比が大きいビアホール36を形成する場合には、プラズマSiN膜37のカバレッジが悪化し、ビアホール36の側壁部にプラズマSiN膜37を均一な膜厚で形成することが困難になり、プラズマSiN膜37の全面エッチバック後にビアホール36の側壁部の一部AにリフローSiO<sub>2</sub>膜34が露出する。

【0015】しかし、このリフローSiO<sub>2</sub>膜34は、その形成時の反応により発生する水分を膜中に多く含んでいるので、ビアホール36の側壁部にリフローSiO<sub>2</sub>膜34が露出すると、この後にビアホール36に上層金属配線材料を埋め込む際に上下配線間の導通不良やビアコロージョンが発生し、配線導通の信頼性の低下や不良が発生するおそれがある。

【0016】

【発明が解決しようとする課題】上記したようにリフロー絶縁膜形成技術により形成されたリフローSiO<sub>2</sub>膜を用いた層間絶縁膜にビアホールを形成する従来の方法は、ビアホール径が小さい場合には上下配線間の導通不良やビアコロージョンが発生し、配線導通の信頼性の低下や不良が発生するおそれがあるという問題があった。

【0017】本発明は上記の問題点を解決すべくなされたもので、自己平坦化能力を有する絶縁膜を用いた層間絶縁膜にビアホールを形成する際、ビアホールの側壁部に自己平坦化能力を有する絶縁膜が露出しないようにサイドウォール絶縁膜を形成することができ、上下配線間の導通の信頼性の低下や不良の発生を防止し得る半導体装置の製造方法を提供することを目的とする。

【0018】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板上の第1の絶縁膜上に第1層目の配線材料およびビラーを順次堆積形成する工程と、第1層目の配線材料のビアコンタクト予定領域上に上記ビラーを残すと共に第1層目の配線パターンを残すように上記ビラーおよび第1層目の配線材料を選択的にエッチングする工程と、この後、プラズマCVD法により基板上

4

全面に第1のプラズマCVD絶縁膜を形成する工程と、上記第1のプラズマCVD絶縁膜上に自己平坦化能力を有する第2の絶縁膜を形成する工程と、上記第2の絶縁膜を前記ビラーの上面より低い位置まで全面エッチバックする工程と、この後、プラズマCVD法により基板上全面に第2のプラズマCVD絶縁膜を形成する工程と、上記第2のプラズマCVD絶縁膜上にエッチバック用のレジストを塗布する工程と、前記ビラーの上面上の第1のプラズマCVD絶縁膜が露出するまで上記レジストと前記第2のプラズマCVD絶縁膜を同じエッチングレートでエッチバックする工程と、上記工程により露出した第1のプラズマCVD絶縁膜の上面を前記ビラーの一部が露出するまでエッチングする工程と、上記工程により露出したビラーを除去する工程とを具備することを特徴とする。

【0019】

【作用】本発明は、多層配線の層間絶縁膜の形成工程において、自己平坦化能力を有する第2の絶縁膜を形成する際、予め第1層目の配線材料のビアコンタクト予定領域上に残したビラーの側壁部に第1のプラズマCVD絶縁膜を形成しておき、この第1のプラズマCVD絶縁膜上に自己平坦化能力を有する第2の絶縁膜を形成する。そして、層間絶縁膜の形成後にビアホールを形成する際、ビラーを除去することにより、ビアホールの側壁部に第1のプラズマCVD絶縁膜が残るようになる。

【0020】このように、予めビラーの側壁部に第1のプラズマCVD絶縁膜を形成することにより、ビアホールの側壁部にビアホールのアスペクト比に関係なく良好なカバレッジで第1のプラズマCVD絶縁膜を形成することができ、ビアホール径が小さい(アスペクト比が大きい)場合でもビアホールの側壁部に第1のプラズマCVD絶縁膜を均一な膜厚で形成することができる。

【0021】従って、自己平坦化能力を有する第2の絶縁膜が膜中に水分を多く含んでいるリフローSiO<sub>2</sub>膜である場合でも、リフローSiO<sub>2</sub>膜がビアホールの側壁部に露出しないので、上下配線間の導通不良やビアコロージョンが発生しなくなり、上下配線間の導通の信頼性の低下や不良の発生を防止することが可能になる。

【0022】

【実施例】以下、図面を参照して本発明の一実施例を詳細に説明する。図1(a)乃至(d)および図2(a)乃至(d)は、本発明の半導体装置の製造方法に係る多層配線工程の一例を示している。

【0023】まず、図1(a)に示すように、通常の方法により、半導体基板(通常、シリコンウエハー)10上の第1の絶縁膜11上に下層配線用の第1層目の配線パターン12およびビラー13を形成する。上記ビラー13は、後述するアッシングに際して、その側壁部に形成される絶縁膜との選択比が高い材料(例えばポリイミド)を用いることが望ましい。

【0024】この場合、第1層目の配線材料（例えばSi、Cuを含むアルミニウム）12およびビラー13を順次堆積形成した後、フォトリソグラフィ技術および反応性イオンエッチング（RIE）技術を用いて、第1層目の配線材料12のビアコンタクト予定領域上に上記ビラー13を残すと共に第1層目の配線パターンを残すように上記ビラー13および第1層目の配線材料13を選択的にエッチングする。あるいは、第1層目の配線材料13を形成して第1層目の配線パターンを残すように選択的にエッチングした後、前記ビラー13を形成する

【0025】次に、基板上全面にベース絶縁層としてプラズマCVD法により第1のプラズマCVD絶縁膜14（P-SiN）を形成する。この場合、水分のブロッキング能力の高いプラズマCVD絶縁膜、例えばプラズマSiN膜を形成することが望ましい。

【0026】次に、図1（b）に示すように、上記第1のプラズマCVD絶縁膜14上に自己平坦化能力を有する第2の絶縁膜15を形成する。この第2の絶縁膜15を形成する工程の一例としては、前記第1のプラズマCVD絶縁膜14を形成後の半導体基板を収容したチャンパー内にSiH<sub>4</sub>ガスおよびH<sub>2</sub>O<sub>2</sub>を導入し、5 Torr = 5 × 133.322 Pa（ほぼ665 Pa）以下の真空中、-10℃以上+10℃以下の温度範囲内（例えば0℃）で上記SiH<sub>4</sub>ガスおよびH<sub>2</sub>O<sub>2</sub>を互いに反応させる低温・減圧CVD法によってリフローSiO<sub>2</sub>膜を形成する。

【0027】次に、図1（c）に示すように、上記第2の絶縁膜15を前記ビラー13の上面より低い位置まで全面エッチバックする。次に、図1（d）に示すように、基板上全面にキャップ絶縁層としてプラズマCVD法により第2のプラズマCVD絶縁膜16（P-SiON）を形成する。上記第2のプラズマCVD絶縁膜16として、SiO<sub>2</sub>膜を形成してもよいが、それより水分のブロッキング能力の高いプラズマSiON膜を形成することが望ましい。

【0028】次に、図2（a）に示すように、上記第2のプラズマCVD絶縁膜16上にエッチバック用のレジスト17を塗布する。次に、図2（b）に示すように、前記ビラー13上の第1のプラズマCVD絶縁膜14の上面が露出するまで上記レジスト17と前記第2のプラズマCVD絶縁膜16を同じエッチングレートでエッチバックする。

【0029】次に、上記工程により露出した第1のプラズマCVD絶縁膜14の上面を、図2（c）に示すように前記ビラー13の一部が露出するまでエッチングする。このエッチングは、第1のプラズマCVD絶縁膜14と第2のプラズマCVD絶縁膜16との選択比が大きく得られる、CF<sub>4</sub>とO<sub>2</sub>とを用いるケミカルドライエッチングを行うことが望ましいが、選択比が10以上

（P-SiONのエッチングレート/P-SiNのエッチングレート ≥ 10）得られれば、他の等方性及び異方性エッチングでもよい。

【0030】次に、上記工程により露出したビラー13を、図2（d）に示すようにO<sub>2</sub>アッシャーにより除去する。次に、基板上全面に第2層目の配線材料（図示せず）を堆積形成し、第2層目の配線パターンを残すように上記第2層目の配線材料を選択的にエッチングを行って上層配線を形成する。

【0031】上記実施例によれば、多層配線の層間絶縁膜の形成工程において、第1層目の配線材料12のビアコンタクト予定領域上に残したビラー13の側壁部に第1のプラズマCVD絶縁膜14を形成しておき、この第1のプラズマCVD絶縁膜14上に自己平坦化能力を有する第2の絶縁膜15を形成する。そして、層間絶縁膜の形成後にビアホールを形成する際、ビラー13を除去することにより、ビアホールの側壁部に第1のプラズマCVD絶縁膜12が残るようになる。

【0032】このように、予めビラーの側壁部に第1のプラズマCVD絶縁膜12を形成することにより、ビアホールの側壁部にビアホールのアスペクト比に関係なく良好なカバレッジで第1のプラズマCVD絶縁膜12を形成することができ、ビアホール径が小さい（アスペクト比が大きい）場合でもビアホールの側壁部に第1のプラズマCVD絶縁膜12を均一な膜厚で形成することができる。

【0033】従って、自己平坦化能力を有する第2の絶縁膜15が膜中に水分を多く含んでいるリフローSiO<sub>2</sub>膜である場合でも、リフローSiO<sub>2</sub>膜がビアホールの側壁部に露出しないので、上下配線間の導通不良やビアコロージョンが発生しなくなり、導通の信頼性の低下や不良の発生を防止することが可能になる。

【0034】なお、前記自己平坦化能力を有する第2の絶縁膜を形成する工程では、SOGを形成する、あるいは、TEOSとO<sub>3</sub>ガスとを用いた常圧CVD法によりTEOS/O<sub>3</sub>-CVD膜を形成するようにしてもよい。

【0035】

【発明の効果】上述したように本発明の半導体装置の製造方法によれば、自己平坦化能力を有する絶縁膜を用いた層間絶縁膜にビアホールを形成する際、ビアホールの側壁部に自己平坦化能力を有する絶縁膜が露出しないようにサイドウォール絶縁膜を形成することができ、上下配線間の導通の信頼性の低下や不良の発生を防止することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法の一実施例に係る多層配線工程の一部を示す断面図。

【図2】図1の工程につづく工程を示す断面図。

【図3】従来の多層配線工程において層間絶縁膜にアス

(5)

8

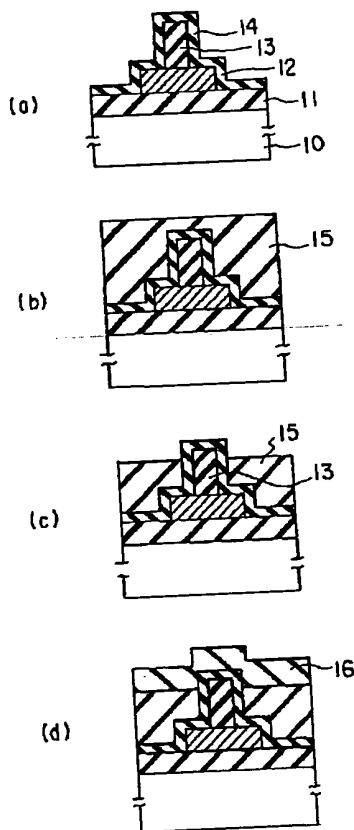
7  
ペクト比が小さいビアホールを形成する場合を示す断面図。

【図4】従来の多層配線工程において層間絶縁膜にアスペクト比が大きいビアホールを形成する場合を示す断面図。

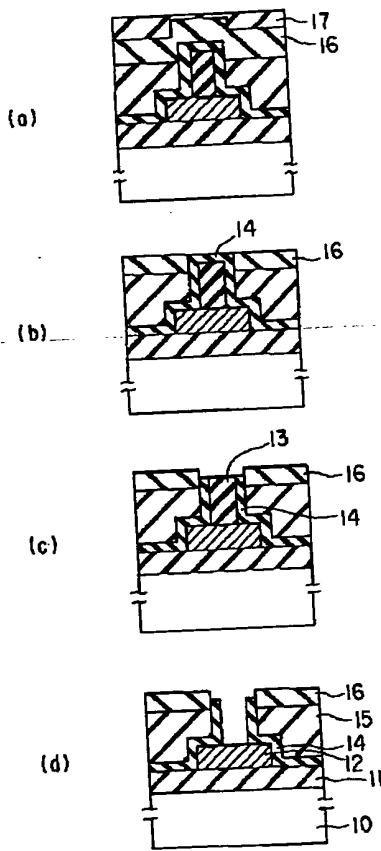
【符号の説明】

10…半導体基板、11…第1の絶縁膜、12…第1の配線材料、13…ピラー、14…第1のプラズマCVD絶縁膜(SiN膜)、15…第2の絶縁膜(リフローSiO<sub>2</sub>膜)、16…第2のプラズマCVD絶縁膜(SiON膜)、17…レジスト。

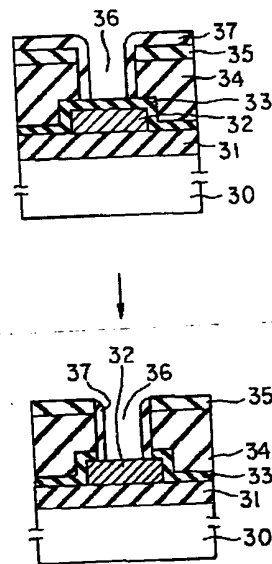
【図1】



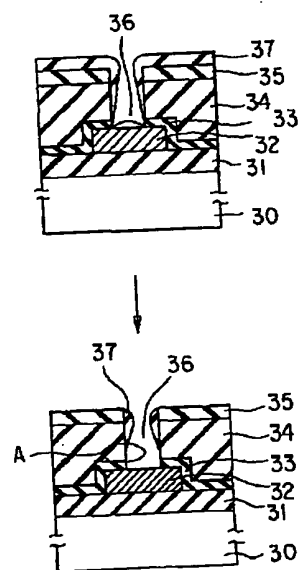
【図2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl. <sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/316

M

21/318

M

H 0 1 L 21/90

K